

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 H03H 7/38, 7/075	A1	(11) 国際公開番号 WO00/13315
		(43) 国際公開日 2000年3月9日(09.03.00)
(21) 国際出願番号 PCT/JP99/03113	(81) 指定国 CA, CN, IN, KR, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)	
(22) 国際出願日 1999年6月10日(10.06.99)	添付公開書類 国際調査報告書	
(30) 優先権データ 特願平10/243989 1998年8月28日(28.08.98) JP		
(71) 出願人 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP) (72) 発明者 大島 毅(OHSHIMA, Takeshi) 内田浩光(UCHIDA, Hiromitsu) 伊藤康之(ITO, Yasushi) 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP) (74) 代理人 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.) 〒100-0013 東京都千代田区霞が関三丁目5番1号 霞が関IHFビル4階 Tokyo, (JP)		
(54)Title: TWO-FREQUENCY IMPEDANCE MATCHING CIRCUIT		
(54)発明の名称 2周波整合回路		
(57) Abstract An impedance matching circuit comprises an output terminal connected with a load; an input terminal for receiving a signal for the load; a series resonance circuit consisting of a series capacitor and a series inductor connected in series with the series capacitor, the series resonance circuit being connected in series with the load viewed from the input terminal; and a parallel resonance circuit consisting of a parallel capacitor and a parallel inductor connected in parallel with the parallel capacitor, the parallel resonance circuit being connected in parallel with the load and the series resonance circuit viewed from the input terminal. This configuration solves the problem that the conventional impedance matching circuit cannot perform impedance matching at two frequencies. Since no transmission line is used, the circuit becomes compact for a low-frequency application.		

(57)要約

この発明の整合回路は、負荷が接続される出力端子と、当該負荷への入力信号が入力される入力端子と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷および上記直列共振回路の全体と並列に接続されるように配設された並列共振回路とを備えたものである。この構成により、任意の2つの周波数におけるインピーダンスの整合はとれないという従来の整合回路における問題点は解決され、また、伝送線路を使用しないので、低周波数帯に適用した場合に回路の小型化が可能になる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GR	ギリシア	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	HR	クロアチア	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HU	ハンガリー		共和国	TR	トルコ
CF	中央アフリカ	ID	インドネシア	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	IE	アイルランド	MN	モンゴル	UA	ウクライナ
CH	スイス	IL	イスラエル	MR	モーリタニア	UG	ウガンダ
CI	コートジボワール	IN	インド	MX	メキシコ	US	米国
CM	カメルーン	IS	アイスランド	NE	ニジェール	UZ	ウズベキスタン
CN	中国	IT	イタリア	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	JP	日本	NO	ノルウェー	YU	ユーゴスラビア
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZA	南アフリカ共和国
CZ	チェッコ	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

2 周波整合回路

技術分野

この発明は2つの異なる周波数において同時にインピーダンスマッチングをとることができる2周波整合回路に係り、特にマイクロ波帯において好適に利用することができる整合回路の改良に関するものである。

背景技術

第9図は「H. NAKAJIMA, M. MURAGUCHI: "Dual-Frequency Matching Technique and Its Application to an Octave-Band (30-60GHz) MMIC Amplifier", I EICE Trans. Electron, VOL. E80-C, Sep., 1997.」に掲載されている従来の2周波整合回路および電界効果トランジスタである。図において、1は整合回路の入力端子、2は整合回路の出力端子、47は入力端子1と出力端子2との間に接続された伝送線路、48は入力端子1と伝送線路47との間に配設され、高い角周波数 ω_H の $\lambda/4$ の長さを有する先端短絡形スタブ、49は入力端子1と伝送線路47との間に配設された先端開放形スタブである。また、50は出力端子2にゲート電極が接続された電界効果トランジスタである。

第10図は従来の2周波整合回路における整合方法を説明するためのスミスチャートである。図において、51は電界効果トランジスタ50に対して低い周波数 f_L の信号を印加した場合の負荷インピーダンスで

あり、52は電界効果トランジスタ50に対して高い周波数 f_H の信号を印加した場合の負荷インピーダンスであり、53は定コンダクタンス円（例えば0.02Sの定コンダクタンス円）である。

そして、伝送線路47を所定の長さに設定することにより、上記2つの電界効果トランジスタ50の負荷インピーダンスを上記定コンダクタンス円53上に設定する。54はこのようにして得られる、低い周波数 f_L の信号を印加した場合の変換インピーダンスであり、55は高い周波数 f_H の信号を印加した場合の変換インピーダンスである。

次に、先端開放形スタブ49の長さを所定の長さに設定することにより、上記2つのインピーダンスを上記定コンダクタンス円53上で移動させ、整合をとる。56はこの整合によって得られる整合点である。以上のようにして、この従来の整合回路は2つの周波数 f_L 、 f_H についてのインピーダンスの整合をとることができる。

次に動作について説明する。

上記入力端子1から電界効果トランジスタ50への信号は、上記2つの整合周波数 f_L 、 f_H においては少なくとも入力信号に基づく反射波が生成されることなく入力される。

従来の2周波整合回路は以上のように構成されているので、上記伝送線路47の長さのみで異なる2つの周波数における電界効果トランジスタ50の入力インピーダンスを定コンダクタンス円53上に変換することになり、一方の周波数におけるインピーダンスを定コンダクタンス円上に移動させるように伝送線路47を決定すると、この定コンダクタンス円53上にインピーダンスを移動させることができる他方の周波数は自ずと決定されてしまうことになり、任意の2つの周波数についてのインピーダンス整合は得ることはできないという課題があった。

また、上記従来の整合回路では、伝送線路47を用いているため低周

波帯において整合をとろうとすると、長大な伝送線路が必要となってしまう、整合回路自身の寸法が大きくなってしまいうという問題もある。

発明の開示

この発明は上記のような課題を解決するためになされたもので、任意の2つの周波数においてインピーダンスの整合をとることができる2周波整合回路を得ることを目的とする。

この発明の第1局面に係る2周波整合回路は、負荷が接続される出力端子と、当該負荷への入力信号が入力される入力端子と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷および上記直列共振回路の全体と並列に接続されるように配設された並列共振回路とを備えたものである。

上記構成の2周波整合回路において、上記負荷は互いに直列に接続される負荷レジスタと負荷キャパシタから成るものとし、該負荷レジスタのレジスタンスを R_1 、負荷キャパシタのキャパシタンスを C_{gs} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群1を満たすものである。

$$L_1 = X_g / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) * C_{gs} / (C_{gs} * \omega_H * \omega_L * X_g - (\omega_H - \omega_L))$$

$$L_2 = (\omega_H - \omega_L) * R_1 / (\omega_H * \omega_L * Y_0 * X_g)$$

$$C_2 = Y_0 * X_g / ((\omega_H - \omega_L) * R_1)$$

$$X_g = (R_1 / Y_0 - R_1 * R_1)^{1/2} \quad \dots \text{数式群 1}$$

この発明の第2局面に係る2周波整合回路は、負荷が接続される出力端子と、当該負荷への入力信号が入力される入力端子と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と並列に接続されるように配設された直列共振回路とを備えたものである。

上記構成の2周波整合回路において、上記負荷は互いに直列に接続される負荷レジスタと負荷キャパシタから成るものとし、該負荷レジスタのレジスタンスを R_1 、負荷キャパシタのキャパシタを C_{gs} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群2を満たすものである。

$$L_1 = (\omega_H * (\beta_L - B_{gL}) - \omega_L * (\beta_H + B_{gH})) / ((\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{gL}) (\beta_H + B_{gH}))$$

$$C_1 = (\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{gL}) (\beta_H + B_{gH}) / (\omega_H * \omega_L * (\omega_L * (\beta_L - B_{gL}) - \omega_H * (\beta_H + B_{gH})))$$

$$L_2 = Z_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL} / (\omega_H * \omega_L * (\omega_H * \alpha_L * B_{gH} + \omega_L * \alpha_H * B_{gL}))$$

$$C_2 = (\omega_L * \alpha_L * B_{gH} + \omega_H * \alpha_H * B_{gL}) / (Z_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL})$$

$$\alpha = R_i / (R_i * R_i + 1 / (\omega * \omega * C_{gs} * C_{gs}))$$

$$\beta = (1 / (\omega * C_{gs}))$$

$$/ (R_i * R_i + 1 / (\omega * \omega * C_{gs} * C_{gs}))$$

$$B_g = (\alpha / Z_o - \alpha * \alpha)^{1/2} \quad \dots \text{数式群 2}$$

この発明の第3局面に係る2周波整合回路は、負荷が接続される入力端子と、当該負荷に基づく出力信号を出力する出力端子と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と並列に接続されるように配設された並列共振回路とを備えたものである。

上記構成の2周波整合回路において、上記負荷は互いに並列に接続された各々の一端が上記入力端子と直列に接続された負荷キャパシタ及び負荷レジスタから成るものとし、負荷レジスタのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_o とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群3を満たすものである。

$$L_1 = R_{ds} * Z_o * B_d / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) / (\omega_H * \omega_L * R_{ds} * Z_o * B_d)$$

$$L_2 = (\omega_H - \omega_L) / (\omega_H * \omega_L * B_d)$$

$$C_2 = B_d / (\omega_H - \omega_L) - C_{ds}$$

$$B_d = (1 / (Z_o * R_{ds}) - 1 / (R_{ds} * R_{ds}))^{1/2}$$

・・・数式群 3

この発明の第4局面に係る整合回路は、負荷が接続される入力端子と、当該負荷に基づく出力信号を出力する出力端子と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷および上記並列共振回路の全体と並列に接続されるように配設された直列共振回路とを備えたものである。

上記構成の2周波整合回路において、上記負荷は互いに並列に接続された各々の一端が上記入力端子と直列に接続された負荷キャパシタ及び負荷レジスタから成るものとし、負荷レジスタのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、規格化アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群4を満たすものである。

$$\begin{aligned}
 L_1 &= (\omega_L * \alpha_L * X_{dH} + \omega_H * \alpha_H * X_{dL}) \\
 &\quad / (Y_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL}) \\
 C_1 &= Y_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL} \\
 &\quad / (\omega_H * \omega_L * (\omega_H * \alpha_L * X_{dH} + \omega_L * \alpha_{dL} * X_{dL})) \\
 L_2 &= (\omega_H * \omega_H - \omega_L * \omega_L) \\
 &\quad / (\omega_H * \omega_L * (\omega_L / (X_{dH} - \beta_H) + \omega_H / (X_{dL} + \beta_L))) \\
 C_2 &= (\omega_H * (X_{dH} - \beta_H) + \omega_L / (X_{dL} + \beta_L)) \\
 &\quad / (\omega_H * \omega_H - \omega_L * \omega_L)
 \end{aligned}$$

$$\alpha = (1 / R_{ds}) / (1 / (R_{ds} * R_{ds}) + \omega * \omega * C_{ds} * C_{ds})$$

$$\beta = \omega * C_{ds} / (1 / (R_{ds} R_{ds}) + \omega * \omega * C_{ds} * C_{ds})$$

$$X_d = (\alpha / Y_o - \alpha * \alpha)^{1/2} \quad \dots \text{数式群 4}$$

図面の簡単な説明

第1図は、この発明の実施の形態1による2周波整合回路および負荷を示すブロック図である。

第2図は、この発明の実施の形態1による2周波整合回路において2つの角周波数 ω_H 、 ω_L において整合をとる際の各素子の役割を説明するためのスミスチャートである。

第3図は、この発明の実施の形態2による2周波整合回路および負荷を示すブロック図である。

第4図は、この発明の実施の形態2による2周波整合回路において2つの角周波数 ω_H 、 ω_L において整合をとる際の各素子の役割を説明するためのスミスチャートである。

第5図は、この発明の実施の形態3による2周波整合回路および負荷を示すブロック図である。

第6図は、この発明の実施の形態3による2周波整合回路において2つの角周波数 ω_H 、 ω_L において整合をとる際の各素子の役割を説明するためのスミスチャートである。

第7図は、この発明の実施の形態4による2周波整合回路および負荷を示すブロック図である。

第8図は、この発明の実施の形態4による2周波整合回路において2つの角周波数 ω_H 、 ω_L において整合をとる際の各素子の役割を説明するためのスミスチャートである。

第 9 図は、従来の 2 周波整合回路および電界効果トランジスタである。

第 10 図は、従来の 2 周波整合回路における整合方法を説明するためのスミスチャートである。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 1 図はこの発明の実施の形態 1 による 2 周波整合回路およびそれに接続された負荷を示すブロック図である。図において、1 は整合回路の入力端子、2 は整合回路の出力端子、3 はこの入力端子 1 と出力端子 2 との間に接続された直列インダクタ、4 はこの直列インダクタ 3 と入力端子 1 との間に配設された直列キャパシタ、5 はこの直列キャパシタ 4 と入力端子 1 との間に一端が接続され、他端がグランド電位に接地された並列インダクタ、6 はこの直列キャパシタ 4 と入力端子 1 との間に一端が接続され、他端がグランド電位に接地された並列キャパシタである。

また、7 はその一端が出力端子 2 に接続された負荷キャパシタ、8 は一端が負荷キャパシタ 7 の他端に接続され、他端がグランド電位に接地された負荷レジスタンスである。なお、以下においては、負荷レジスタンス 8 は整合インピーダンス（例えばマイクロ波の伝送経路に一般的に用いられる $50\ \Omega$ など）と同じあるいはそれよりも小さいことを前提として説明する。また、このような負荷キャパシタ 7 と負荷レジスタンス 8 とが直列に接続された回路を等価で表すことができる回路としては、例えば、ソース電極を接地した電界効果トランジスタをマイクロ波帯域

で使用した場合のゲート電極から見た回路を挙げることができる。

第2図はこの発明の実施の形態1による整合回路において2つの角周波数 ω_H 、 ω_L においてインピーダンスの整合をとる際の直列インダクタ3、直列キャパシタ4、並列インダクタ5、並列キャパシタ6等、第1図に示される素子群の各々の役割を説明するためのスミスチャートである。第2図において、9は負荷レジスタンス8および負荷キャパシタ7に対して上記低い角周波数 ω_L の信号を印加した場合の負荷インピーダンス $Z_L(\omega_L)$ であり、10は負荷レジスタンス8および負荷キャパシタ7に対して上記高い角周波数 ω_H の信号を印加した場合の負荷インピーダンス $Z_L(\omega_H)$ であり、11は上記整合インピーダンスにより規格化された定コンダクタンス円（例えば0.02Sの定コンダクタンス円）である。

そして、直列インダクタ3と直列キャパシタ4とからなる直列共振回路を2つの角周波数においてともに誘導性を呈するようにし、それによりこの直列共振回路3、4と負荷7、8とを上記2つの角周波数 ω_H 、 ω_L の下で入力端子1側から見る場合に得られるアドミッタンスのコンダクタンス成分を上記定コンダクタンス円11上に移動させる。12はこれによって得られる、低い角周波数 ω_L の信号を印加した場合の変換インピーダンスであり、13は高い角周波数 ω_H の信号を印加した場合の変換インピーダンスである。また、この場合の直列インダクタのインダクタンス L_1 と直列キャパシタのキャパシタンス C_1 の値を下記数式群5に示す。

次に、並列インダクタ5と並列キャパシタ6とからなる並列共振回路を、低い角周波数 ω_L では誘導性に、高い角周波数 ω_H では容量性を呈するようにし、それにより2つのインピーダンスを上記定コンダクタンス円11上で移動させ、整合をとる。14はこの整合によって得られる

整合点である。また、この場合の並列インダクタのインダクタンス L_2 と並列キャパシタのキャパシタンス C_2 の値を下記数式群 5 に示す。

$$\begin{aligned} L_1 &= X_g / (\omega_H - \omega_L) \\ C_1 &= (\omega_H - \omega_L) * C_{gs} \\ &\quad / (C_{gs} * \omega_H * \omega_L * X_g - (\omega_H - \omega_L)) \\ L_2 &= (\omega_H - \omega_L) * R_i / (\omega_H * \omega_L * Y_o * X_g) \\ C_2 &= Y_o * X_g / ((\omega_H - \omega_L) * R_i) \\ X_g &= (R_i / Y_o - R_i * R_i)^{1/2} \end{aligned} \quad \dots \text{数式群 5}$$

なお、上記数式群 5 から明らかなように、2つの整合角周波数 ω_L 、 ω_H は互いに独立した角周波数として設定することができる。

次に動作について説明する。

上記入力端子 1 から負荷への信号は、上記 2つの整合角周波数 ω_L 、 ω_H においては少なくとも入力信号に基づく反射波が生成されることなく入力される。

以上のように、この実施の形態 1 によれば、負荷 7, 8 が接続される出力端子 2 と、当該負荷 7, 8 への入力信号が入力される入力端子 1 と、直列キャパシタ 4 およびこの直列キャパシタ 4 に直列に接続された直列インダクタ 3 からなり、上記入力端子 1 から見て上記負荷 7, 8 と直列に接続されるように配設された直列共振回路と、並列キャパシタ 6 およびこの並列キャパシタ 6 に並列に接続された並列インダクタ 5 からなり、上記入力端子 1 から見て上記負荷 7, 8 および上記直列キャパシタ 3 及び直列インダクタ 4 から成る直列共振回路の全体と並列に接続されるように配設された並列共振回路とを備えた 2 周波整合回路によりインピーダンスの整合を行っているので、整合インピーダンスよりも小さい負荷 7, 8 の入力レジスタンス (R_i) において、任意に選出した 2つの周波数において整合を取ることができる効果がある。

特に、負荷レジスタンス 8 のレジスタンスを R_L 、負荷キャパシタ 7 のキャパシタンスを C_g 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群 5 を満たすように設定しているのので、目標とする整合インピーダンス値において最適に整合をとることができる効果がある。

また、整合素子群の一つとして伝送線路を用いる必要がないため、整合を取る周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

実施の形態 2.

第 3 図はこの発明の実施の形態 2 による整合回路およびそれに接続された負荷を示すブロック図である。図において、15 は入力端子 1 と出力端子 2 との間に配設された並列インダクタ、16 は入力端子 1 と出力端子 2 との間に配設された並列キャパシタ、17 は出力端子 2 と並列インダクタ 15 との間に一端が接続された直列インダクタ、18 は一端が直列インダクタ 17 の他端に接続され、他端がグランド電位に接地された直列キャパシタである。これ以外は実施の形態 1 と同様であり同一の符号を付して説明を省略する。

なお、以下においては、負荷レジスタンス 8 は整合インピーダンス（例えばマイクロ波の伝送経路に一般的に用いられる $50\ \Omega$ など）よりも大きいことを前提として説明する。

第 4 図はこの発明の実施の形態 1 による整合回路において 2 つの角周波数 ω_H 、 ω_L においてインピーダンスの整合をとる際の直列インダク

タ 17、直列キャパシタ 18、並列インダクタ 15、並列キャパシタ 16 等の第 3 図に示される素子群の各々の役割を説明するためのスミスチャートである。第 4 図において、19 は負荷レジスタンス 8 および負荷キャパシタ 7 に対して上記低い角周波数 ω_L の信号を印加した場合の負荷インピーダンス $Z_L(\omega_L)$ であり、20 は負荷レジスタンス 8 および負荷キャパシタ 7 に対して上記高い角周波数 ω_H の信号を印加した場合の負荷インピーダンス $Z_L(\omega_H)$ であり、21 は上記整合インピーダンスにより規格化された定レジスタンス円（例えば 50 Ω の定レジスタンス円）である。

そして、直列インダクタ 17 と直列キャパシタ 18 とからなる直列共振回路を、低い角周波数 ω_L では容量性に、高い角周波数 ω_H では誘導性を呈するようにし、それにより 2 つのインピーダンスを上記定レジスタンス円 21 上に移動させる。22 はこれによって得られる低い角周波数 ω_L の信号を印加した場合の変換インピーダンスであり、23 は高い角周波数 ω_H の信号を印加した場合の変換インピーダンスである。また、この場合の直列インダクタのインダクタンス L_1 と直列キャパシタのキャパシタンス C_1 の値を下記数式群 6 に示す。

次に並列インダクタ 15 と並列キャパシタ 16 とからなる並列共振回路を、低い角周波数 ω_L では誘導性に、高い角周波数 ω_H では容量性を呈するようにし、それにより 2 つのインピーダンスを上記定レジスタンス円 21 上で移動させ、整合をとる。24 はこの整合によって得られる整合点である。また、この場合の並列インダクタのインダクタンス L_2 と並列キャパシタのキャパシタンス C_2 の値を下記数式群 6 に示す。

$$L_1 = \frac{(\omega_H * (\beta_L - B_{g_L}) - \omega_L * (\beta_H + B_{g_H}))}{(\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{g_L}) (\beta_H + B_{g_H})}$$

$$C_1 = (\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{g_L}) (\beta_H + B_{g_H})$$

$$\frac{1}{\omega_H * \omega_L * (\omega_L * (\beta_L - B_{g_L}) - \omega_H * (\beta_H + B_{g_H}))}$$

$$L_2 = Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{g_H} * B_{g_L}$$

$$\frac{1}{\omega_H * \omega_L * (\omega_H * \alpha_L * B_{g_H} + \omega_L * \alpha_H * B_{g_L})}$$

$$C_2 = (\omega_L * \alpha_L * B_{g_H} + \omega_H * \alpha_H * B_{g_L})$$

$$\frac{1}{(Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{g_H} * B_{g_L})}$$

$$\alpha = R_i / (R_i * R_i + 1 / (\omega * \omega * C_{gs} * C_{gs}))$$

$$\beta = (1 / (\omega * C_{gs}))$$

$$\frac{1}{(R_i * R_i + 1 / (\omega * \omega * C_{gs} * C_{gs}))}$$

$$B_g = (\alpha / Z_o - \alpha * \alpha)^{1/2} \quad \dots \text{数式群 6}$$

なお、上記数式群 6 から明らかなように、2つの整合角周波数 ω_L 、 ω_H は互いに独立した角周波数として設定することができる。

なお、動作は実施の形態 1 と同様であり説明を省略する。

以上のように、この実施の形態 2 によれば、負荷 7、8 が接続される出力端子 2 と、当該負荷 7、8 への入力信号が入力される入力端子 1 と、並列キャパシタ 16 およびこの並列キャパシタ 16 に並列に接続された並列インダクタ 15 からなり、上記入力端子 1 から見て上記負荷 7、8 と直列に接続されるように配設された並列共振回路と、直列キャパシタ 18 およびこの直列キャパシタ 18 に直列に接続された直列インダクタ 17 からなり、上記入力端子 1 から見て上記負荷 7、8 と並列に接続されるように配設された直列共振回路とを備えた 2 周波整合回路によりインピーダンスの整合を行っているので、整合インピーダンスよりも大きい負荷 7、8 の入力レジスタンス (R_i) において、任意に選出した 2 つの周波数において整合を取ることができる効果がある。

特に、負荷レジスタンス 8 のレジスタンスを R_i 、負荷キャパシタ 7 のキャパシタンスを C_{gs} 、2 つの整合角周波数を ω_L 、 ω_H 、規格化インピーダンスを Z_o とした時に、直列インダクタのインダクタンス L_1

、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群6を満たすように設定することにより、目標とするインピーダンス値において最適に整合をとることができる効果がある。

また、各インダクタ15、17として伝送線路を用いる必要がないため、整合を取る周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

実施の形態3.

第5図はこの発明の実施の形態3による整合回路およびそれに接続された負荷を示すブロック図である。図において、25は入力端子1と出力端子2との間に接続された直列インダクタ、26はこの直列インダクタ25と入力端子1との間に配設された直列キャパシタ、27はこの直列キャパシタ26と入力端子1との間に一端が接続され、他端がグラウンド電位に接地された並列インダクタ、28はこの直列キャパシタ26と入力端子1との間に一端が接続され、他端がグラウンド電位に接地された並列キャパシタである。

また、29は一端が入力端子1に接続され、他端がグラウンド電位に接地された負荷キャパシタ、30は一端が入力端子1に接続され、他端がグラウンド電位に接地された負荷レジスタンスである。なお、以下においては、負荷レジスタンス30は、規格化インピーダンス（例えばマイクロ波の伝送経路に一般的に用いられる 50Ω など）よりも大きいことを前提として説明する。また、このような負荷キャパシタ29と負荷レジスタンス30とが並列に接続された回路を等価で表すことができる回路としては、例えば、ソース接地した電界効果トランジスタをマイクロ波

帯域で使用した場合のドレイン電極からみた回路を挙げる事ができる。

これ以外は実施の形態 1 と同様であり同一の符号を付して説明を省略する。

第 6 図はこの発明の実施の形態 3 による整合回路において 2 つの角周波数 ω_H , ω_L においてインピーダンスの整合をとる際の、直列インダクタ 25、直列キャパシタ 26、並列インダクタ 27、並列キャパシタ 28 等の第 5 図に示される素子群の各々の役割を説明するためのスミスチャートである。第 6 図において、31 は負荷レジスタンス 30 および負荷キャパシタ 29 に対して上記低い角周波数 ω_L の信号を印加した場合の負荷インピーダンス $Z_L(\omega_L)$ であり、32 は負荷レジスタンス 30 および負荷キャパシタ 29 に対して上記高い角周波数 ω_H の信号を印加した場合の負荷インピーダンス $Z_L(\omega_H)$ であり、33 は上記整合インピーダンスにより規格化された定レジスタンス円（例えば $50\ \Omega$ の定レジスタンス円）である。

そして、並列インダクタ 27 と並列キャパシタ 28 とからなる並列共振回路を、低い角周波数 ω_L では誘導性に、高い角周波数 ω_H では容量性を呈するようにし、それにより上記 2 つの角周波数 ω_H , ω_L におけるこの並列共振回路と負荷とを出力端子 2 側から見たアドミッタンスを上記定レジスタンス円 33 上に移動させる。34 はこれによって得られる、低い角周波数 ω_L の信号を印加した場合の変換インピーダンスであり、35 は高い角周波数 ω_H の信号を印加した場合の変換インピーダンスである。また、この場合の並列インダクタのインダクタンス L_2 と並列キャパシタのキャパシタンス C_2 の値を下記数式群 7 に示す。

次に、直列インダクタ 25 と直列キャパシタ 26 とからなる直列共振回路を、低い角周波数 ω_L では容量性に、高い角周波数 ω_H では誘導性

を呈するようにし、それにより2つのインピーダンスを上記定レジスタンス円33上で移動させ、整合をとる。36はこの整合によって得られる整合点である。また、この場合の直列インダクタのインダクタンス L_1 と直列キャパシタのキャパシタンス C_1 の値を下記数式群7に示す。

$$L_1 = R_{ds} * Z_o * B_d / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) / (\omega_H * \omega_L * R_{ds} * Z_o * B_d)$$

$$L_2 = (\omega_H - \omega_L) / (\omega_H * \omega_L * B_d)$$

$$C_2 = B_d / (\omega_H - \omega_L) - C_{ds}$$

$$B_d = (1 / (Z_o * R_{ds}) - 1 / (R_{ds} * R_{ds}))^{1/2}$$

・・・数式群7

なお、上記数式群からも明らかなように、2つの整合角周波数 ω_L 、 ω_H は互いに独立した角周波数として設定することができる。

次に動作について説明する。

上記出力端子2から電界効果トランジスタなどからの出力信号を出力すると、上記2つの整合角周波数においては少なくとも出力信号に基づく反射波が生成されることなく信号の出力が行われる。

以上のように、この実施の形態3によれば、負荷29、30が接続される入力端子1と、当該負荷29、30に基づく出力信号を出力する出力端子2と、直列キャパシタ26およびこの直列キャパシタ26に直列に接続された直列インダクタ25からなり、上記出力端子2から見て上記負荷29、30と直列に接続されるように配設された直列共振回路と、並列キャパシタ28およびこの並列キャパシタ28に並列に接続された並列インダクタ27からなり、上記出力端子2から見て上記負荷29、30と並列に接続されるように配設された並列共振回路とを備えた2周波整合回路によりインピーダンスの整合を行っているので、整合インピーダンスよりも大きい負荷29、30の出力レジスタンス(R_{ds})

において、任意に選出した2つの周波数において整合を取ることができる効果がある。

特に、負荷レジスタンス30のレジスタンスを R_d 、負荷キャパシタ29のキャパシタンスを C_d 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群7を満たすように設定することにより、目標とするインピーダンス値において最適に整合をとることができる効果がある。

また、各インダクタ25、27として伝送線路を用いる必要がないため、整合を取る周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

実施の形態4.

第7図はこの発明の実施の形態4による整合回路およびそれに接続された負荷を示すブロック図である。図において、37は入力端子1と出力端子2との間に配設された並列インダクタ、38は入力端子1と出力端子2との間に配設された並列キャパシタ、39は出力端子2と並列インダクタ37との間に一端が接続された直列インダクタ、40は一端が直列インダクタ39の他端に接続され、他端がグランド電位に接地された直列キャパシタである。これ以外は実施の形態3と同様であり同一の符号を付して説明を省略する。

なお、以下においては、負荷レジスタンス30は規格化インピーダンス（例えばマイクロ波の伝送経路に一般的に用いられる 50Ω など）よりも小さいことを前提として説明する。

第 8 図はこの発明の実施の形態 4 による整合回路において 2 つの角周波数 ω_H , ω_L においてインピーダンスの整合をとる際の、直列インダクタ 39、直列キャパシタ 40、並列インダクタ 37、並列キャパシタ 38 等の第 7 図に示される素子群の各々の役割を説明するためのスミスチャートである。第 8 図において、41 は負荷レジスタンス 30 および負荷キャパシタ 29 に対して上記低い角周波数 ω_L の信号を印加した場合の負荷インピーダンス $Z_L(\omega_L)$ であり、42 は負荷レジスタンス 30 および負荷キャパシタ 29 に対して上記高い角周波数 ω_H の信号を印加した場合の負荷インピーダンス $Z_L(\omega_H)$ であり、43 は上記整合インピーダンスにより規格化された定コンダクタンス円（例えば 0.02 S の定コンダクタンス円）である。

そして、並列インダクタ 37 と並列キャパシタ 38 とからなる並列共振回路を、低い角周波数 ω_L では誘導性に、高い角周波数 ω_H では容量性を呈するようにし、それにより 2 つのインピーダンスを上記定コンダクタンス円 43 上に移動させる。44 はこれによって得られる低い角周波数 ω_L の信号を印加した場合の変換インピーダンスであり、45 は高い角周波数 ω_H の信号を印加した場合の変換インピーダンスである。また、この場合の並列インダクタのインダクタンス L_2 と並列キャパシタのキャパシタンス C_2 の値を下記数式群 8 に示す。

次に直列インダクタ 39 と直列キャパシタ 40 とからなる直列共振回路を、低い角周波数 ω_L では容量性、高い角周波数 ω_H では誘導性を呈するようにし、それにより 2 つのインピーダンスを上記定コンダクタンス円 43 上で移動させ、整合をとる。46 はこの整合によって得られる整合電である。また、この場合の直列インダクタのインダクタンス L_1 と直列キャパシタのキャパシタンス C_1 の値を下記数式群 8 に示す。

$$L_1 = (\omega_L * \alpha_L * X_{dH} + \omega_H * \alpha_H * X_{dL})$$

$$\begin{aligned}
& / (Y_o * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL}) \\
C_1 &= Y_o * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL} \\
& / (\omega_H * \omega_L * (\omega_H * \alpha_L * X_{dH} + \omega_L * \alpha_{dL} * X_{dL})) \\
L_2 &= (\omega_H * \omega_H - \omega_L * \omega_L) \\
& / (\omega_H * \omega_L * (\omega_L / (X_{dH} - \beta_H) + \omega_H / (X_{dL} + \beta_L))) \\
C_2 &= (\omega_H * (X_{dH} - \beta_H) + \omega_L / (X_{dL} + \beta_L)) \\
& / (\omega_H * \omega_H - \omega_L * \omega_L) \\
\alpha &= (1 / R_{ds}) / (1 / (R_{ds} * R_{ds}) \\
& + \omega * \omega * C_{ds} * C_{ds}) \\
\beta &= \omega * C_{ds} / (1 / (R_{ds} R_{ds}) + \omega * \omega * C_{ds} * C_{ds}) \\
X_d &= (\alpha / Y_o - \alpha * \alpha)^{1/2} \quad \dots \text{数式群 8}
\end{aligned}$$

なお、上記数式群 8 から明らかなように、2つの整合角周波数 ω_L 、 ω_H は互いに独立した角周波数として設定することができる。

なお、動作は実施の形態 3 と同様であり説明を省略する。

以上のように、この実施の形態 4 によれば、負荷 29、30 が接続される入力端子 1 と、当該負荷 29、30 に基づく出力信号を出力する出力端子 2 と、並列キャパシタ 38 およびこの並列キャパシタ 38 に並列に接続された並列インダクタ 37 からなり、上記出力端子 2 から見て上記負荷 29、30 と直列に接続されるように配設された並列共振回路と、直列キャパシタ 40 およびこの直列キャパシタ 40 に直列に接続された直列インダクタ 39 からなり、上記出力端子 2 から見て上記負荷 29、30 および上記並列共振回路の全体 37、38 と並列に接続されるように配設された直列共振回路とを備えた 2 周波整合回路によりインピーダンスの整合を行っているので、整合インピーダンスよりも小さい負荷 29、30 の出力レジスタンス (R_{ds}) において、任意に選出した 2 つの周波数において整合を取ることができる効果がある。

特に、負荷レジスタンス 30 のレジスタンスを R_{ds} 、負荷キャパシタ 29 のキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンスを L_1 、直列キャパシタのキャパシタンスを C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群 8 を満たすように設定することにより、目標とする整合インピーダンスにおいて最適に整合をとることができる効果がある。

また、各インダクタ 37、39 として伝送線路を用いる必要がないため、整合を取る周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

以上のように、この発明の 2 周波整合回路は、負荷が接続される出力端子と、当該負荷への入力信号が入力される入力端子と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷および上記直列共振回路の全体と並列に接続されるように配設された並列共振回路とを備えているので、整合インピーダンスよりも小さい負荷の入力レジスタンス (R_i) において、任意の 2 つの周波数において整合を取ることができる効果がある。また、整合素子群の一つとして伝送線路を用いる必要がないため、整合をとる周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

特に、負荷レジスタンスのレジスタンスを R_i 、負荷キャパシタのキャパシタンスを C_{gs} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミツ

タンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群5を満たすように設定することにより、目標とする整合インピーダンス値において最適に整合をとることができる効果がある。

この発明による2周波整合回路は、負荷が接続される出力端子と、当該負荷への入力信号が入力される入力端子と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と並列に接続されるように配設された直列共振回路とを備えているので、整合インピーダンスよりも大きい負荷の入力レジスタンス(R_L)において、任意に選出された2つの周波数において整合を取ることができる効果がある。また、整合素子群の一つとして伝送線路を用いる必要がないため、整合をとる周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

特に、負荷レジスタンスのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群6を満たすように設定することにより、目標とする整合インピーダンス値において最適に整合をとることができる効果がある。

この発明による2周波整合回路は、負荷が接続される入力端子と、当

該負荷に基づく出力信号を出力する出力端子と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と並列に接続されるように配設された並列共振回路とを備えたので、整合インピーダンスよりも大きい負荷の出力レジスタンス (R_{ds}) において、任意に選出した2つの周波数において整合を取ることができる効果がある。また、整合素子群の一つとして伝送線路を用いる必要がないため、整合をとる周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

特に、負荷レジスタンスのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群7を満たすように設定することにより、目標とする整合インピーダンス値において最適に整合をとることができる効果がある。

この発明による2周波整合回路は、負荷が接続される入力端子と、当該負荷に基づく出力信号を出力する出力端子と、並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷および上記並列共振回路の全体と並列に接続されるように配設された直列共振回路

とを備えているので、整合インピーダンスよりも負荷の出力レジスタンス (R_{ds}) において、任意に選出した2つの周波数において整合を取ることができる効果がある。また、整合素子群の一つとして伝送線路を用いる必要がないため、整合をとる周波数を低周波数帯に設定したとしても長大な線路を必要としなくなり、低周波数帯に適用した場合における回路の小型化の効果もある。

特に、負荷レジスタンスのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y 。とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 を上記数式群 8 を満たすように設定することにより、目標とする整合インピーダンス値において最適に整合をとることができる効果がある。

産業上の利用可能性

このように、この発明に係る2周波整合回路は、2つの異なる周波数において同時にインピーダンスマッチングをとることができ、よって、マイクロ波帯において好適に利用することができる。

請 求 の 範 囲

1. 負荷が接続される出力端子と、

当該負荷への入力信号が入力される入力端子と、

直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、

並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷および上記直列共振回路の全体と並列に接続されるように配設された並列共振回路とを備えた整合回路。

2. 前記負荷は、互いに直列に接続される負荷レジスタと負荷キャパシタから成るものとし、該負荷レジスタのレジスタンスを R_i 、負荷キャパシタのキャパシタンスを C_{gs} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群を満たすことを特徴とする請求の範囲第1項記載の整合回路。

$$L_1 = X_g / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) * C_{gs} / (C_{gs} * \omega_H * \omega_L * X_g - (\omega_H - \omega_L))$$

$$L_2 = (\omega_H - \omega_L) * R_i / (\omega_H * \omega_L * Y_0 * X_g)$$

$$C_2 = Y_0 * X_g / ((\omega_H - \omega_L) * R_i)$$

$$X_g = (R_i / Y_0 - R_i * R_i)^{1/2}$$

3. 負荷が接続される出力端子と、

当該負荷への入力信号が入力される入力端子と、

並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記入力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、

直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記入力端子から見て上記負荷と並列に接続されるように配設された直列共振回路とを備えた整合回路。

4. 前記負荷は、互いに直列に接続される負荷レジスタと負荷キャパシタから成るものとし、該負荷レジスタのレジスタンスを R_1 、負荷キャパシタのキャパシタンスを C_{gs} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 は下記数式群を満たすことを特徴とする請求の範囲第1項記載の整合回路。

$$\begin{aligned}
 L_1 &= (\omega_H * (\beta_L - B_{gL}) - \omega_L * (\beta_H + B_{gH})) \\
 &\quad / ((\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{gL}) (\beta_H + B_{gH})) \\
 C_1 &= (\omega_H * \omega_H - \omega_L * \omega_L) (\beta_L - B_{gL}) (\beta_H + B_{gH}) \\
 &\quad / (\omega_H * \omega_L * (\omega_L * (\beta_L - B_{gL}) - \omega_H * (\beta_H + B_{gH}))) \\
 L_2 &= Z_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL} \\
 &\quad / (\omega_H * \omega_L * (\omega_H * \alpha_L * B_{gH} + \omega_L * \alpha_H * B_{gL})) \\
 C_2 &= (\omega_L * \alpha_L * B_{gH} + \omega_H * \alpha_H * B_{gL}) \\
 &\quad / (Z_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL}) \\
 \alpha &= R_1 / (R_1 * R_1 + 1 / (\omega * \omega * C_{gs} * C_{gs})) \\
 \beta &= (1 / (\omega * C_{gs}))
 \end{aligned}$$

$$B_g = \left(\alpha / Z_o - \alpha * \alpha \right)^{1/2} / \left(R_i * R_i + 1 / \left(\omega * \omega * C_{gs} * C_{gs} \right) \right)$$

5. 負荷が接続される入力端子と、

当該負荷に基づく出力信号を出力する出力端子と、

直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された直列共振回路と、

並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と並列に接続されるように配設された並列共振回路とを備えた整合回路。

6. 上記負荷は互いに並列に接続された各々の一端が上記入力端子と直列に接続された負荷キャパシタ及び負荷レジスタから成るものとし、負荷レジスタンスのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合インピーダンスを Z_o とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 、は下記数式群を満たすことを特徴とする請求の範囲第5項記載の整合回路。

$$L_1 = R_{ds} * Z_o * B_d / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) / (\omega_H * \omega_L * R_{ds} * Z_o * B_d)$$

$$L_2 = (\omega_H - \omega_L) / (\omega_H * \omega_L * B_d)$$

$$C_2 = B_d / (\omega_H - \omega_L) - C_{ds}$$

$$B_d = \left(1 / (Z_o * R_{ds}) - 1 / (R_{ds} * R_{ds}) \right)^{1/2}$$

7. 負荷が接続される入力端子と、

当該負荷に基づく出力信号を出力する出力端子と、

並列キャパシタおよびこの並列キャパシタに並列に接続された並列インダクタからなり、上記出力端子から見て上記負荷と直列に接続されるように配設された並列共振回路と、

直列キャパシタおよびこの直列キャパシタに直列に接続された直列インダクタからなり、上記出力端子から見て上記負荷および上記並列共振回路の全体と並列に接続されるように配設された直列共振回路とを備えた整合回路。

8. 上記負荷は互いに並列に接続された各々の一端が上記入力端子と直列に接続された負荷キャパシタ及び負荷レジスタから成るものとし、負荷レジスタンスのレジスタンスを R_{ds} 、負荷キャパシタのキャパシタンスを C_{ds} 、2つの整合角周波数を ω_L 、 ω_H 、整合アドミッタンスを Y_0 とした時に、直列インダクタのインダクタンス L_1 、直列キャパシタのキャパシタンス C_1 、並列インダクタのインダクタンス L_2 および並列キャパシタのキャパシタンス C_2 、は下記数式群を満たすことを特徴とする請求の範囲第7項記載の整合回路。

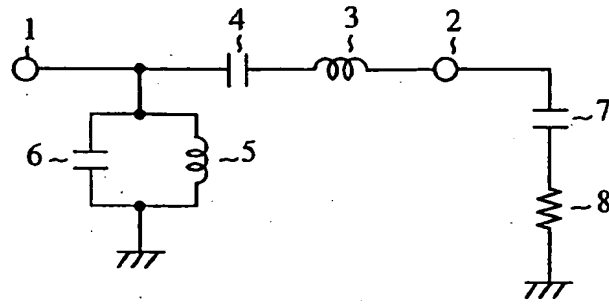
$$\begin{aligned}
 L_1 &= (\omega_L * \alpha_L * X_{dH} + \omega_H * \alpha_H * X_{dL}) \\
 &\quad / (Y_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL}) \\
 C_1 &= Y_0 * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL} \\
 &\quad / (\omega_H * \omega_L * (\omega_H * \alpha_L * X_{dH} + \omega_L * \alpha_{dL} * X_{dL})) \\
 L_2 &= (\omega_H * \omega_H - \omega_L * \omega_L) \\
 &\quad / (\omega_H * \omega_L * (\omega_L / (X_{dH} - \beta_H) + \omega_H / (X_{dL} + \beta_L))) \\
 C_2 &= (\omega_H * (X_{dH} - \beta_H) + \omega_L / (X_{dL} + \beta_L)) \\
 &\quad / (\omega_H * \omega_H - \omega_L * \omega_L)
 \end{aligned}$$

$$\alpha = (1 / R_{ds}) / (1 / (R_{ds} * R_{ds}) + \omega * \omega * C_{ds} * C_{ds})$$

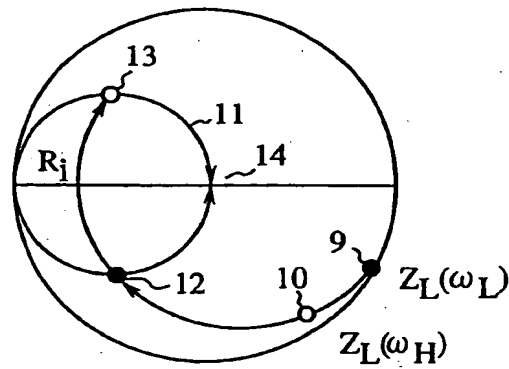
$$\beta = \omega * C_{ds} / (1 / (R_{ds} R_{ds}) + \omega * \omega * C_{ds} * C_{ds})$$

$$X_d = (\alpha / Y_o - \alpha * \alpha)^{1/2}$$

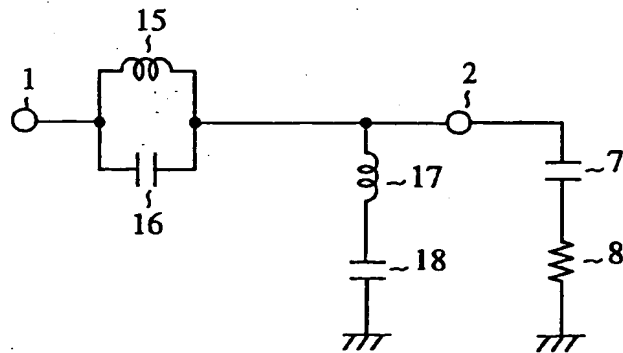
第1図



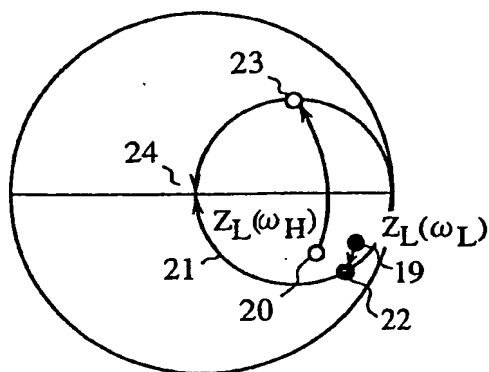
第2図



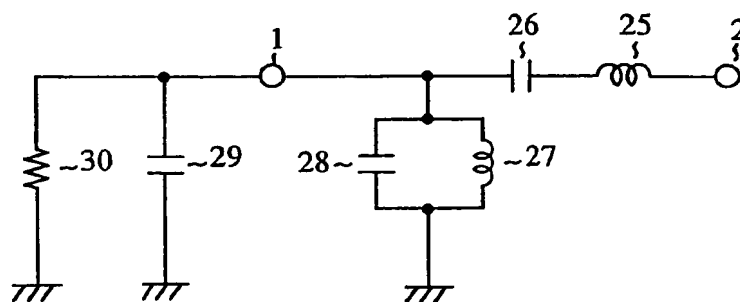
第3図



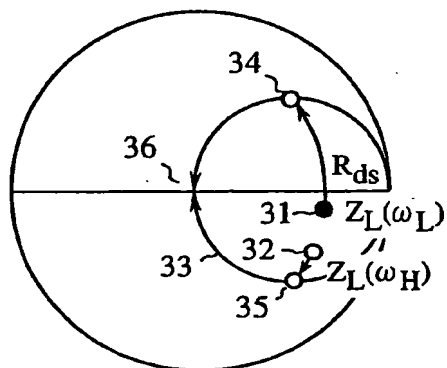
第4図



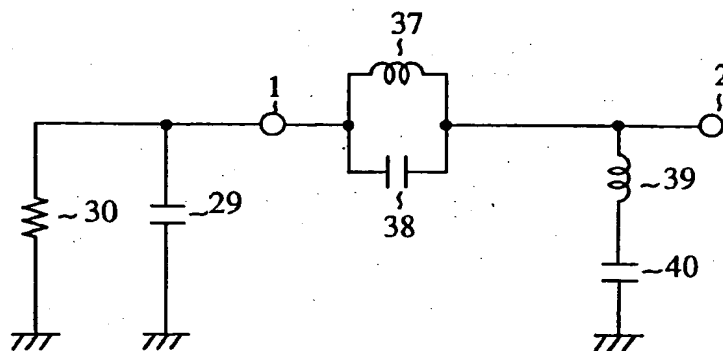
第5図



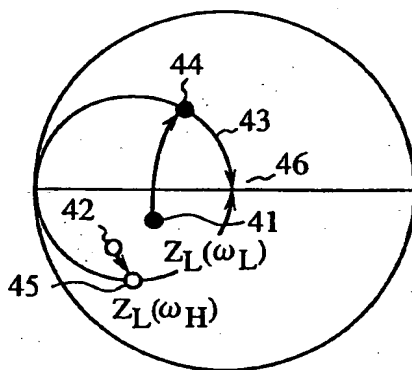
第6図



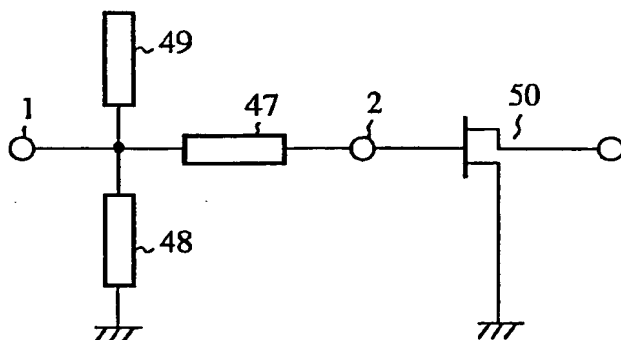
第7図



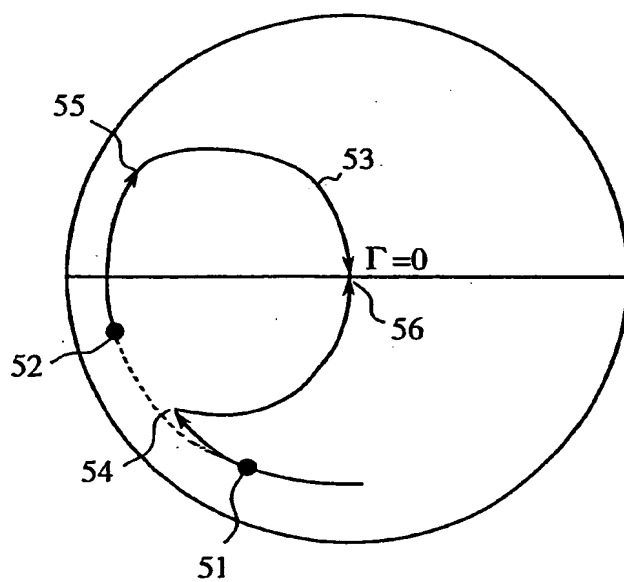
第8図



第9図



第10図



INTERNATIONAL SEARCH REPORT

 International application No.
 PCT/JP99/03113

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ H03H7/38, H03H7/075 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ H03H7/38, H03H7/075 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) JOIS, WPI/L		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	1997 Nen Denshi Jouhou Tsuushin Gakkai Sougou Zenkoku Taikai Kouen Rombunshuu Electronics 1, issued March 6, 1997, Hiroki Nakajima, Masahiro Muraguchi, Kouen Bangou C-2-20, "λ/4 stub o mochiita nishuuhasuutai douji seigou kairo to MMIC koutaiiki (30-60GHz) zouhabaki heno ouyou", p75	1-8
Y	IEICE TRANS ELECTRON, VOL. E80-C, NO. 12, DECEMBER 1997, H. NAKAJIMA, M. MURAGUCHI, "Dual-Frequency Matching Technique and Its Application to an Octave-Band (30-60GHz) MMIC Amplifier", p1614-1621	1-8
Y	JP, 46-26081, Y1 (Matsushita Electric Industrial Co., Ltd.), 8 September, 1971 (08. 09. 71), Fig. 1 (Family: none)	1, 2
Y	JP, 5-121988, A (Matsushita Electric Industrial Co., Ltd.), 18 May, 1993 (18. 05. 93), Fig. 5 (Family: none)	3, 4, 7, 8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 7 September, 1999 (07. 09. 99)		Date of mailing of the international search report 28 September, 1999 (28. 09. 99)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/03113

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 58-178617, A (NEC Corp.), 19 October, 1983 (19. 10. 83), Fig. 1 (Family: none)	5, 6
Y	JP, 63-102512, A (Matsushita Electric Industrial Co., Ltd.), 7 May, 1988 (07. 05. 88), Figs. 1 to 3 (Family: none)	1-8
Y	JP, 6-252791, A (NEC Corp.), 9 September, 1994 (09. 09. 94), Figs. 1, 2 & EP, 613209, A1 & US, 5493311, A	1-8
Y	JP, 5-206888, A (NEC Corp.), 13 August, 1993 (13. 08. 93), Fig. 1 & EP, 531125, A2 & US, 5375256, A	1-8
Y	WO, 96/29756, A1 (Minnesota Mining and Manufacturing Co.), 26 September, 1996 (26. 09. 96), Fig. 5 & EP, 815613, A1	1-8
A	JP, 6-244756, A (Mitsubishi Electric Corp.), 2 September, 1994 (02. 09. 94), Full text ; all drawings (Family: none)	1-8
A	JP, 54-29949, A (Denki Kogyo Co., Ltd.), 6 March, 1979 (06. 03. 79), Full text ; all drawings (Family: none)	1-8

国際調査報告

国際出願番号 PCT/JP99/03113

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁸ H03H7/38, H03H7/075

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ H03H7/38, H03H7/075

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国実用新案登録公報 1996-1999年

日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS, WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	1997年電子情報通信学会総合全国大会講演論文集エレクトロニクス1, 1997年3月6日発行, 中島裕樹, 村口正弘, 講演番号C-2-20, 「λ/4スタブを用いた二周波数帯同時整合回路とMMIC広帯域(30-60GHz)増幅器への応用」, p75	1-8
Y	IEICE TRANS ELECTRON, VOL. E80-C, NO. 12, DECEMBER 1997, H. NAKAJIMA, M. MURAGUCHI, "Dual-Frequency Matching Technique and Its Application to an Octave-Band(30-60GHz) MMIC Amplifier", p1614-1621	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.09.99

国際調査報告の発送日

28.09.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W

4241

電話番号 03-3581-1101 内線 3575

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 46-26081, Y1 (松下電器産業株式会社), 8. 9 月. 1971 (8. 9. 71), 第1図 (ファミリーなし)	1, 2
Y	J P, 5-121988, A (松下電器産業株式会社), 18. 5 月. 1993 (18. 5. 93), 第5図 (ファミリーなし)	3, 4, 7, 8
Y	J P, 58-178617, A (日本電気株式会社), 19. 10 月. 1983 (19. 10. 83), 第1図 (ファミリーなし)	5, 6
Y	J P, 63-102512, A (松下電器産業株式会社), 7. 5 月. 1988 (7. 5. 88), 第1-3図 (ファミリーなし)	1-8
Y	J P, 6-252791, A (日本電気株式会社), 9. 9月. 1 994 (9. 9. 94), 第1-2図&EP, 613209, A1&US, 5493311, A	1-8
Y	J P, 5-206888, A (日本電気株式会社), 13. 8月. 1993 (13. 8. 93), 第1図&EP, 531125, A2&US, 5375256, A	1-8
Y	WO, 96/29756, A1 (ミネソタ マイニング アンド マニュファクチャリング カンパニー), 26. 9月. 1996 (26. 9. 96), 第5図&EP, 815613, A1	1-8
A	J P, 6-244756, A (三菱電機株式会社), 2. 9月. 1 994 (2. 9. 94), 全文全図 (ファミリーなし)	1-8
A	J P, 54-29949, A (電気興業株式会社), 6. 3月. 1 979 (6. 3. 79), 全文全図 (ファミリーなし)	1-8